

**This Page Is Inserted by IFW Operations
and is not a part of the Official Record**

BEST AVAILABLE IMAGES

**Defective images within this document are accurate representations of
the original documents submitted by the applicant.**

Defects in the images may include (but are not limited to):

- **BLACK BORDERS**
- **TEXT CUT OFF AT TOP, BOTTOM OR SIDES**
- **FADED TEXT**
- **ILLEGIBLE TEXT**
- **SKEWED/SLANTED IMAGES**
- **COLORED PHOTOS**
- **BLACK OR VERY BLACK AND WHITE DARK PHOTOS**
- **GRAY SCALE DOCUMENTS**

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

CLIPPEDIMAGE= JP411145145A

PAT-NO: JP411145145A

DOCUMENT-IDENTIFIER: JP 11145145 A

TITLE: MANUFACTURE OF SEMICONDUCTOR DEVICE HAVING WIRING CONSTITUTED
OF DOPED
POLYSILICON FILM

PUBN-DATE: May 28, 1999

INVENTOR-INFORMATION:

NAME	COUNTRY
KIM, DONG-YUN	N/A
BAEK, JAE-HAK	

N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
SAMSUNG ELECTRON CO LTD	N/A

APPL-NO: JP10156464

APPL-DATE: June 4, 1998

INT-CL_(IPC): H01L021/3213; H01L021/3065 ; H01L021/3205

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a manufacture method of a reliable semiconductor device in which a cut does not exist and which comprises a doped polysilicon film.

SOLUTION: An interlayer insulating film pattern having a contact hole is formed on a semiconductor substrate 21 and a thick doped polysilicon film 29 buried in the contact hole is formed on the whole face of an interlayer insulating film pattern 27. A polysilicon film 29a from which a carbon atom layer is removed from the surface and which is etched back is formed on the interlayer insulating film pattern 27, by providing uniform thickness by etching the whole face of the doped polysilicon film 29 by using gas containing carbon and gas containing oxygen. A metallic silicide film 31 is formed on the polysilicon film 29a, and the metallic silicide film 31 and the etched back polysilicon film 29a are continuously patterned and the wiring is formed.

COPYRIGHT: (C)1999,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-145145

(43) 公開日 平成11年(1999) 5月28日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 21/3213

H 0 1 L 21/88

D

21/3065

21/302

J

21/3205

21/88

Q

審査請求 未請求 請求項の数10 O L (全 6 頁)

(21) 出願番号 特願平10-156464

(71) 出願人 390019839

三星電子株式会社

(22) 出願日 平成10年(1998) 6月4日

大韓民国京畿道水原市八達区梅灘洞416

(31) 優先権主張番号 1 9 9 7 5 7 7 5 3

(72) 発明者 金 東潤

大韓民国京畿道水原市八達区梅灘洞 (番地なし) 梅灘4 團地415棟401號

(32) 優先日 1997年11月3日

(72) 発明者 白 載鶴

大韓民国京畿道龍仁市器興邑農書里山7-1 番地

(33) 優先権主張国 韓国 (K R)

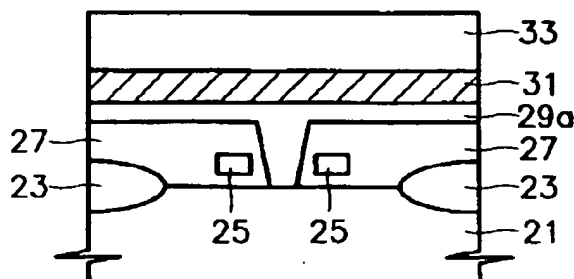
(74) 代理人 弁理士 志賀 正武 (外1名)

(54) 【発明の名称】 ドープドポリシリコン膜で構成された配線を持つ半導体素子の製造方法

(57) 【要約】

【課題】 切れ目が存在しない信頼性ある、ドープドポリシリコン膜で構成される配線を持つ半導体素子の製造方法を提供する。

【解決手段】 半導体基板21上にコンタクトホールを持つ層間絶縁膜パターンを形成し、層間絶縁膜パターン27全面にコンタクトホールを埋込む厚いドープドポリシリコン膜29を形成する。ドープドポリシリコン膜29を炭素を含むガス及び酸素を含むガスを使用し全面蝕刻することによって、層間絶縁膜パターン27上に均一な厚さを持って表面に炭素原子層が除けたエッチバックされたポリシリコン膜29aを形成する。このポリシリコン膜29a上に金属シリサイド膜31を形成した後、この金属シリサイド膜31及びエッチバックされたポリシリコン膜29aを連続的にパターニングして配線を形成する。



【特許請求の範囲】

【請求項1】 半導体基板上に層間絶縁膜パターンを形成する段階と、

前記層間絶縁膜パターンが形成された結果物全面にドーブドポリシリコン膜を形成する段階と、

前記ドーブドポリシリコン膜を炭素を含むガス及び酸素を含むガスを使用して全面蝕刻することによって、前記層間絶縁膜パターン上にエッチバックされたポリシリコン膜を形成する段階と、

前記エッチバックされたポリシリコン膜の全面に金属シリサイド膜を形成する段階とを含むことを特徴とする半導体素子の製造方法。

【請求項2】 前記層間絶縁膜パターンはシリコン酸化膜であることを特徴とする請求項1に記載の半導体素子の製造方法。

【請求項3】 前記ドーブドポリシリコン膜は燐でドーピングされたことを特徴とする請求項1に記載の半導体素子の製造方法。

【請求項4】 前記炭素を含むガスは炭素ガス、 CF_4 ガス、 CHF_3 ガス、及び C_2F_6 ガスでなる一群中選択された少なくともいづれか一つであることを特徴とする請求項1に記載の半導体素子の製造方法。

【請求項5】 前記酸素を含むガスは酸素ガス及びヘリウムガスと酸素ガスが混合されたガス中選択されたいづれか一つであることを特徴とする請求項1に記載の半導体素子の製造方法。

【請求項6】 前記金属シリサイド膜はタングステンシリサイド膜であることを特徴とする請求項1に記載の半導体素子の製造方法。

【請求項7】 前記金属シリサイド膜を形成する段階以後に前記金属シリサイド膜及び前記エッチバックされたポリシリコン膜を連続的にパターンニングしてドーブドポリシリコン膜パターン及び金属シリサイド膜パターンで構成された配線を形成する段階と、
前記配線が形成された結果物全面に平坦化された層間絶縁膜を形成する段階をさらに含むことを特徴とする請求項1に記載の半導体素子の製造方法。

【請求項8】 前記平坦化された層間絶縁膜は 800°C から 900°C までの温度でフローされたBPSG膜であることを特徴とする請求項7に記載の半導体素子の製造方法。

【請求項9】 前記全面蝕刻工程は磁気増加型反応性イオン蝕刻工程で施すことを特徴とする請求項1に記載の半導体素子の製造方法。

【請求項10】 前記磁気増加型反応性イオン蝕刻工程は塩素(Cl_2)ガス及び SF_6 ガスを使用して施すことを特徴とする請求項9に記載の半導体素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体素子の製造方

法に係り、特にドーブドポリシリコン膜で構成された配線を持つ半導体素子の製造方法に関する。

【0002】

【従来の技術】 半導体素子の動作速度が速くなるにつれ電気的な信号を伝送する配線を形成する工程は益々重要になりつつある。配線を形成する物質膜としてはアルミニウムのような金属膜が広く使われる。しかし、金属配線は溶融点が低く微細なパターンを形成することが難しいので半導体素子の後工程で形成される。そして、金属配線は電源線及び接地線のように多くの電流が流れる配線に広く利用される。これに伴い、溶融点が高く微細パターンを形成しやすいドーブドポリシリコン膜が半導体素子の局部配線に広く使われている。しかし、このようなドーブドポリシリコン膜の比抵抗は高速半導体素子に適した低い比抵抗を見せない。したがって、最近ドーブドポリシリコン膜及び耐火性(耐熱性)金属を含有する金属シリサイド膜で構成されたポリサイド膜が半導体素子の局部配線、例えばDRAM素子のビットラインに広く使われている。

【0003】 図1ないし図3は従来技術にともなう半導体素子の製造方法をDRAM素子を例にして説明するための断面図である。ここで、紹介するそれぞれの図面はDRAM素子のセルアレイ領域の一部分を示す。

【0004】 図1は層間絶縁膜パターン7及びドーブドポリシリコン膜9を形成する段階を説明するための断面図である。まず、半導体基板1の所定領域に素子分離膜3を形成する。次に、前記素子分離膜3間の活性領域表面にゲート酸化膜を形成し、前記ゲート酸化膜の所定領域上に複数のゲート電極5を形成する。ここで、前記ゲート電極5はDRAM素子のワードライン役割をする。続いて、前記ゲート電極5が形成された結果物全面に層間絶縁膜、例えばBPSG膜を形成する。前記層間絶縁膜をパターンニングすることによって相互隣接したゲート電極5間の活性領域を露出させるビットコンタクトホールを持つ層間絶縁膜パターン7として形成される。

【0005】 そして、前記層間絶縁膜パターン7全面にビットコンタクトホールが完全に埋込めるように厚いドーブドポリシリコン膜9、例えば燐でドーピングされたポリシリコン膜を形成する。ここで、前記ドーブドポリシリコン膜9はインサイシュで行われるインサイチュドーブドポリシリコン膜として形成する。燐(P)でドーピングされたインサイチュドーブドポリシリコン膜を形成するためのドーバントガスとしては、ホスフィン(PH_3)ガスが広く使われる。燐(P)でドーピングされたインサイチュドーブドポリシリコン膜9のグレーン境界領域には偏析された燐(P)原子が位置する。これに伴い、相互隣接したシリコングレーン間の結合力が弱くなる。

【0006】 図2はエッチバックされたポリシリコン膜9aを形成する段階を説明するための断面図である。具

体的に説明すれば、前記ドーパドポリシリコン膜9を乾式蝕刻工程で全面蝕刻し、前記層間絶縁膜パターン7上に500オングストロームから1,000オングストロームまでの厚さを持つエッチバックされたドーパドポリシリコン膜9aを形成する。ここで、前記全面蝕刻工程は蝕刻均一度が優秀な反応性イオン蝕刻(RIE)工程、または磁気増加型反応性イオン蝕刻(MERIE)工程が広く使われる。この時、前記ドーパドポリシリコン膜9のグレーン間の結合力が弱くグレーンが蝕刻される速度よりグレーン境界領域が蝕刻される速度がさらに速い。これに伴い、エッチバックされたポリシリコン膜9aの一部分が剥離する現象が発生して層間絶縁膜パターン7の所定領域Aが露出される。

【0007】図3は金属シリサイド膜11を形成する段階を説明するための断面図である。詳細に説明すれば、前記エッチバックされたポリシリコン膜9aが形成された結果物全面に金属シリサイド膜11、例えばタングステンシリサイド膜を形成する。この時、前記露出された層間絶縁膜パターン7の所定領域A上には金属シリサイド膜11が蒸着されない。これは、金属シリサイド膜11と層間絶縁膜パターン7との接着力が弱いためである。続いて、前記金属シリサイド膜11及び前記エッチバックされたポリシリコン膜9aを連続的にパターニングし、エッチバックされたポリシリコン膜パターン及び金属シリサイド膜パターンで構成された局部配線、すなわちビットラインを形成する。

【0008】前述したように従来の半導体素子の製造方法によれば、エッチバックされたポリシリコン膜を形成するための全面蝕刻工程時ドーパドポリシリコン膜の一部分が剥離する(lifting away)現象が発生して層間絶縁膜パターンの所定領域が露出される。これに伴い、エッチバックされたポリシリコン膜が形成された結果物全面に金属シリサイド膜を形成する時、前記露出された層間絶縁膜パターン上に金属シリサイド膜が形成されない。結果的に、前記露出された層間絶縁膜パターンの所定領域を経るビットラインを形成すればビットラインが切れてしまうので、半導体素子の誤動作が発生する。

【0009】

【発明が解決しようとする課題】本発明の目的はドーパドポリシリコン膜を全面蝕刻する際に、ドーパドポリシリコン膜の一部分が剥離する現象を防止できる半導体素子の製造方法を提供することにある。

【0010】

【課題を解決するための手段】前記目的を達成するために本発明は半導体基板上に層間絶縁膜を形成し、前記層間絶縁膜上にドーパドポリシリコン膜を形成する。ここで、層間絶縁膜は不純物を含有するBPSG膜またはアンダーコートシリコン酸化膜(USG)で形成できる。そして、前記層間絶縁膜は下部導電層、例えば不純物で

ーピングされた半導体基板の活性領域を露出させるコンタクトホールを持つ層間絶縁膜パターンの場合もある。

【0011】前記ドーパドポリシリコン膜としてはインサイチュドーパドポリシリコン膜が広く使われ、インサイチュドーパドポリシリコン膜を形成するためのドーパントガスはホスフィン(PH₃)ガスが広く使われる。この時、前記ドーパドポリシリコン膜のグレーン間に偏析されたリン(P)原子が位置する。次に、前記ドーパドポリシリコン膜を全面蝕刻し層間絶縁膜上に所定の厚さを持つエッチバックされたポリシリコン膜を形成する。ここで、ドーパドポリシリコン膜を全面蝕刻する工程には蝕刻均一度が優秀な磁気増加型反応性イオン蝕刻工程または反応性イオン蝕刻工程が広く使われる。

【0012】全面蝕刻工程をもう少し具体的に説明すれば、ドーパドポリシリコン膜が形成された結果物を反応チャンバ内にローディングさせた次に、前記反応チャンバ内にSF₆ガス及び塩素(Cl₂)ガスのような蝕刻ガスと一緒に炭素を含むガス及び酸素を含むガスをさらに注入させる。炭素を含むガスは炭素ガス、CF₄ガス、CHF₃ガス、及びC₂F₆ガスでなされた一群中少なくともいずれかが望ましく、酸素を含むガスは酸素ガスまたは酸素ガスとヘリウムガスが混合されたガスが望ましい。ドーパドポリシリコン膜を全面蝕刻する時、炭素を含むガスが注入されれば、炭素がドーパドポリシリコン膜のグレーン境界領域に浸透しグレーン間の結合力を増やせる。

【0013】したがって、ドーパドポリシリコン膜のグレーン境界領域が速く蝕刻される現象を防止できるので均一な厚さを持つエッチバックされたポリシリコン膜を形成できる。結果的に、ドーパドポリシリコン膜を全面蝕刻する時層間絶縁膜の所定領域が露出される現象を防止できる。しかし、エッチバックされたポリシリコン膜の表面に過剰炭素原子が存在する。このような過剰炭素原子は前記酸素を含むガス中の酸素と反応して二酸化炭素を発生させることによってエッチバックされたポリシリコン膜の表面から取除ける。続いて、前記エッチバックされたポリシリコン膜上に金属シリサイド膜、例えばタングステンシリサイド膜を形成する。そして、前記タングステンシリサイド膜及びエッチバックされたポリシリコン膜を連続的にパターニングして配線を形成する。

【0014】前述した本発明によれば、ドーパドポリシリコン膜を炭素ガスを含むガス及び酸素ガスを含むガスを使用して全面蝕刻することによって、層間絶縁膜の全面に均一な厚さを持つエッチバックされたポリシリコン膜を形成できる。結果的に、全面蝕刻工程時ドーパドポリシリコン膜の一部分が剥離する現象を抑制させることができるので層間絶縁膜の所定領域が露出される現象を防止できる。これに伴い、ドーパドポリシリコン膜で構成される配線を形成する時非正常的なパターンを持つ配線が形成されることを防止できる。

【0015】

【発明の実施の形態】以下、添附した図面を参照して本発明の望ましい実施の形態をDRAM素子を例にして詳細に説明する。しかし、本発明はDRAM素子に限定されなく、ドーパドポリシリコン膜で構成される配線を持つすべての半導体素子の製造に適用できる。

【0016】図4(A)はコンタクトホールを持つ層間絶縁膜パターン27及びドーパドポリシリコン膜29を形成する段階を説明するための断面図である。まず、半導体基板21の所定領域に素子分離膜23、例えばL_OCOS方法によるフィールド酸化膜で形成する。前記素子分離膜23はトレンチ素子分離方法で形成することもである。次に、前記素子分離膜23間の活性領域上にゲート絶縁膜を形成し、ゲート絶縁膜の所定領域を経る複数のゲート電極25を形成する。前記ゲート電極25はDRAMセルのワードラインの役割をする。続いて、前記ゲート電極25が形成された結果物全面に層間絶縁膜、例えばBPSG膜またはアンドーパド酸化膜(USG)を形成する。

【0017】引続き、前記層間絶縁膜をパターニングして相互隣接したゲート電極25間の活性領域を露出させるコンタクトホール、例えばビットラインコンタクトホールを持つ層間絶縁膜パターン27を形成する。ここで、前記コンタクトホールにより露出される活性領域は不純物でドーピングされた領域、すなわちアクセストランジスターのソース/ドレイン領域に該当する。前記層間絶縁膜パターン27が形成された結果物全面にドーパドポリシリコン膜29を形成する。前記ドーパドポリシリコン膜29はコンタクトホールがドーパドポリシリコン膜29で完全に埋め込むように厚く形成する。前記ドーパドポリシリコン膜29はインサイチュ工程により燐(P)でドーピングされる。この時、ドーパントガスとしてはホスフィンガスが広く使われて、インサイチュ工程は535℃ないし540℃程度の温度で進行される。このようにインサイチュ工程により燐(P)でドーピングされたドーパドポリシリコン膜29は図4(B)に示した通りシリコングレーン境界領域に燐(P)原子が偏析されて相互隣接したシリコングレーン間の結合力が弱くなる。

【0018】図5(A)はエッチバックされたドーパドポリシリコン膜29aを形成する段階を説明するための断面図であり、図5(B)は図5(A)のエッチバックされたポリシリコン膜29aを形成する方法を詳細に説明するための図面である。図5(A)及び図5(B)を参照しエッチバックされたポリシリコン膜29aを形成する段階を具体的に説明すれば、前記ドーパドポリシリコン膜29を全面蝕刻して前記ドーパドポリシリコン膜29より薄厚、例えば500オングストロームから1,000オングストロームまでの厚さを持つエッチバックされたポリシリコン膜29aを形成する。ここで、前記

エッチバックされたポリシリコン膜29aの厚さは可能な限り薄く形成して後続工程により形成される金属シリサイド膜と前記エッチバックされたポリシリコン膜29aで構成される配線の抵抗を最小化させることが望ましい。

【0019】したがって、前記エッチバックされたポリシリコン膜29aの厚さは500オングストロームより薄く形成することもできる。前記ドーパドポリシリコン膜29は優秀な蝕刻均一度を見せる蝕刻工程、例えば磁気増加型反応性イオン蝕刻工程または反応性イオン蝕刻工程で全面蝕刻することが望ましい。この時、前記した磁気増加型反応性イオン蝕刻工程または反応性イオン蝕刻工程を施す時、SF₆ガス及び塩素(Cl₂)ガスなどのような蝕刻ガス以外に炭素を含むガス及び酸素を含むガスをさらに供給する。前記炭素を含むガスは炭素ガス、CF₄ガス、CHF₃ガス、及びC₂F₆ガス中から選択された少なくともいづれ一つであることが望ましい。また、前記酸素を含むガスは酸素ガスまたはヘリウムガスと酸素ガスが混合されたガスが望ましい。前記ヘリウムガスと酸素ガスが混合されたガスはヘリウムガス及び酸素ガスが各々7:3の体積比で混合されたことが望ましい。

【0020】前記したように炭素を含むガス及び酸素を含むガスをさらに使用してドーパドポリシリコン膜29を全面蝕刻すれば、図5(A)に示されたように層間絶縁膜パターン27の全体にわたって均一な厚さを持つエッチバックされたポリシリコン膜29aが形成される。これは、図5(B)に示した通り、全面蝕刻工程中に燐(P)原子が離脱された位置にシリコン原子のように4個の価電子(4valency)を持つ炭素(C)原子が浸透されシリコングレーン間の結合力を増大させるためである。ここで、炭素(C)原子は前記炭素を含むガスから供給される。しかしこの時、前記炭素(C)原子が過剰供給されてエッチバックされたポリシリコン膜29aの表面に炭素原子層が形成される。このような炭素原子層は前記酸素を含むガス中の酸素(O₂)と反応して二酸化炭素(CO₂)を発生させることによって、エッチバックされたポリシリコン膜29a表面から取除ける。

【0021】図6は金属シリサイド膜31及び平坦化された層間絶縁膜33を形成する段階を説明するための断面図である。詳細に説明すれば、前記エッチバックされたポリシリコン膜29aの全面に比抵抗が低い金属シリサイド膜31、例えばタングステンシリサイド膜を形成する。続いて、前記金属シリサイド膜31及び前記エッチバックされたポリシリコン膜29aを連続的にパターニングしてドーパドポリシリコン膜パターン及び金属シリサイド膜パターンで構成され前記コンタクトホールを経る配線を形成する。前記配線が形成された結果物全面に通常の方法で平坦化された層間絶縁膜33、例えば8

00℃ないし900℃程度の高温でフローされたBPSG膜を形成する。

【0022】この時、図5(B)で説明した炭素原子層が除けない状態で平坦化された層間絶縁膜33、すなわち高温でフローされたBPSG膜を形成すれば、BPSG膜が浮き上がる現象が発生する。しかし、本発明では図5(B)で説明したように酸素を含むガスを使用し前記炭素原子層を取り除くので平坦化された層間絶縁膜33が浮き上がる現象を防止できる。本発明は前記実施の形態に限定されなく当業者の水準でその変形及び改良が可能である。

【0023】

【発明の効果】前述したように本発明によれば、ドーパドポリシリコン膜を全面蝕刻する時炭素を含むガス及び酸素を含むガスをさらに供給することによって層間絶縁膜パターン上に均一な厚さを持つエッチバックされたポリシリコン膜を形成できる。結果的に、エッチバックされたポリシリコン膜を形成する時層間絶縁膜パターンの所定領域が露出される現象を防止できる。これに伴い、エッチバックされたポリシリコン膜上に均一な厚さを持つ金属シリサイド膜を形成できるので切れ目(cutted region)が存在しない信頼性ある配線を形成できる。

【図面の簡単な説明】

【図1】従来技術にともなう半導体素子の製造方法を説明するための断面図である。

【図2】従来技術にともなう半導体素子の製造方法を説明するための断面図である。

【図3】従来技術にともなう半導体素子の製造方法を説明するための断面図である。

【図4】本発明にともなう半導体素子の製造方法を説明するための断面図であり、(B)は、ドーパドポリシリコン膜の原子配列を示した図面である。

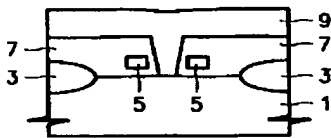
【図5】本発明にともなう半導体素子の製造方法を説明するための断面図であり、(B)は、エッチバックされたポリシリコン膜を形成する方法を説明するための図面である。

【図6】本発明にともなう半導体素子の製造方法を説明するための断面図である。

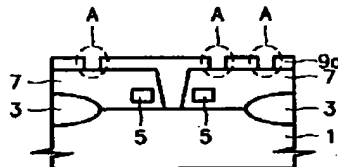
【符号の説明】

- 21： 半導体基板
- 23： 素子分離膜
- 25： 複数のゲート電極
- 27： コンタクトホールを持つ層間絶縁膜パターン
- 29： ドーパドポリシリコン膜

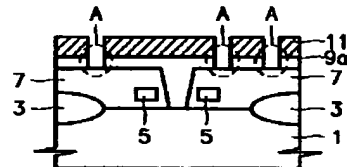
【図1】



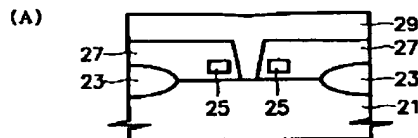
【図2】



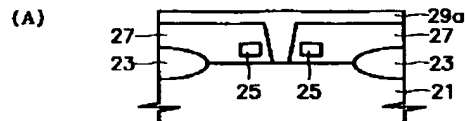
【図3】



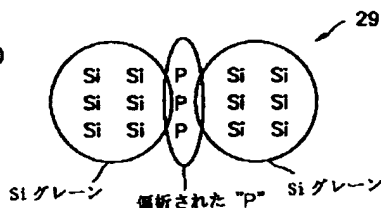
【図4】



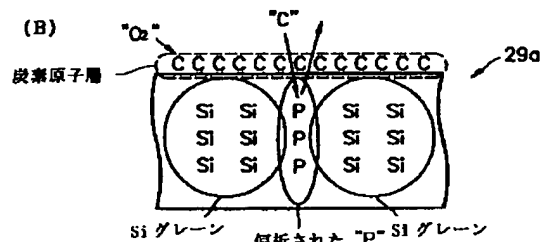
【図5】



(B)



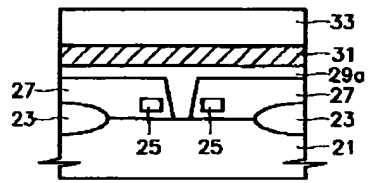
(B)



(6)

特開平11-145145

【図6】



* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim]

[Claim 1] The phase which forms a layer insulation layer pattern on a semiconductor substrate, and the phase which forms a doped polysilicon layer all over an object as a result of forming the aforementioned layer insulation layer pattern, By etching completely using the gas containing the gas which contains carbon for the aforementioned doped polysilicon layer, and oxygen The manufacture technique of the semiconductor device characterized by including the phase which forms the polysilicon contest layer by which etchback was carried out on the aforementioned layer insulation layer pattern, and the phase which forms a metal silicide layer all over the polysilicon contest layer by which etchback was carried out [aforementioned].

[Claim 2] The aforementioned layer insulation layer pattern is the manufacture technique of a semiconductor device given in the claim 1 characterized by being a silicon oxide.

[Claim 3] The aforementioned doped polysilicon layer is the manufacture technique of a semiconductor device given in the claim 1 characterized by being doped by phosphorus.

[Claim 4] The gas containing the aforementioned carbon is the manufacture technique of a semiconductor device given in the claim 1 characterized by the thing which was chosen among a group which becomes by carbon gas, CF₄ gas, CHF₃ gas, and C₂F₆ gas, and which is any one at least.

[Claim 5] The gas containing the aforementioned oxygen is the manufacture technique of a semiconductor device given in the gap chosen among the gas with which oxygen gas, and gaseous helium and oxygen gas were mixed, or the claim 1 characterized by being one.

[Claim 6] The aforementioned metal silicide layer is the manufacture technique of a semiconductor device given in the claim 1 characterized by being a tungsten silicide layer.

[Claim 7] The manufacture technique of a semiconductor device given in the claim 1 characterized by to include further the phase which forms the wiring which carries out patterning of the aforementioned metal silicide layer and the polysilicon contest layer by which etchback was carried out [aforementioned] after the phase which forms the aforementioned metal silicide layer continuously, and consisted of a doped-polysilicon layer pattern and a metal silicide layer pattern, and the phase which form the layer-insulation layer by which the flattening was carried out all over the object as a result of forming the aforementioned wiring.

[Claim 8] The layer insulation layer by which the flattening was carried out [aforementioned] is the manufacture technique of a semiconductor device given in the claim 7 characterized by being BPSG layer by which the flow was carried out at the temperature from 800 degrees C to 900 degrees C.

[Claim 9] The aforementioned complete chemical engraving process is the manufacture technique of a semiconductor device given in the claim 1 characterized by giving at a magnetic increase type reactivity ion chemical engraving process.

[Claim 10] The aforementioned magnetic increase type reactivity ion chemical engraving process is the manufacture technique of a semiconductor device given in the claim 9 characterized by giving using chlorine (Cl₂) gas and SF₆ gas.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed description]

[0001]

[The technical field to which invention belongs] this invention relates to the manufacture technique of a semiconductor device with the wiring which relates to the manufacture technique of a semiconductor device, especially consisted of a doped polysilicon layer.

[0002]

[Prior art] The process which forms the wiring which transmits an electric signal is becoming still more important as the working speed of a semiconductor device becomes quick. A metal membrane like aluminum as a matter layer which forms a wiring is used widely. However, since it is difficult for a metal wiring for a melting point to form a low detailed pattern, it is formed at the back process of a semiconductor device. And a metal wiring is widely used for the wiring with which many currents flow like a power line and a grounding conductor. In connection with this, the doped polysilicon layer with which a melting point tends to form a detailed pattern highly is widely used for the local wiring of a semiconductor device. However, the specific resistance of such a doped polysilicon layer does not show the low specific resistance suitable for the high-speed semiconductor device. Therefore, the polycide layer which consisted of a metal silicide layer which contains a doped polysilicon layer and a fireproof (thermal resistance) metal recently is widely used for a local wiring of a semiconductor device, for example, the bit line of DRAM element.

[0003] Drawing 1 or drawing 3 is a cross section for making DRAM element into an example and explaining the manufacture technique of the semiconductor device accompanied by the conventional technique. Here, each drawing to introduce shows a part of cell array field of DRAM element.

[0004] Drawing 1 is a cross section for explaining the phase which forms the layer insulation layer pattern 7 and the doped polysilicon layer 9. First, the isolation layer 3 is formed in the predetermined field of the semiconductor substrate 1. Next, a gate oxide film is formed in the active-region front face between the aforementioned isolation layers 3, and two or more gate electrodes 5 are formed on the predetermined field of the aforementioned gate oxide film. Here, the aforementioned gate electrode 5 carries out the WORD line role of DRAM element. Then, as a result of forming the aforementioned gate electrode 5, a layer insulation layer, for example, BPSG layer, is formed all over an object. It is formed by carrying out patterning of the aforementioned layer insulation layer as a layer insulation layer pattern 7 with the bit contact hole in which the active region between the gate electrodes 5 which carried out mutual contiguity is exposed.

[0005] and a bit contact hole should embed completely all over [aforementioned] layer insulation layer pattern 7 -- ** -- the thick doped polysilicon layer 9, for example, the polysilicon contest layer doped by phosphorus, is formed like Here, the aforementioned doped polysilicon layer 9 is formed as an in situ doped polysilicon layer performed with a ***** shoe. As dopant gas for forming the in situ doped polysilicon layer doped by phosphorus (P), phosphine (PH₃) gas is used widely. The phosphorus (P) atom by which the segregation was carried out is located in the grain border area of the in situ doped polysilicon layer 9 doped by phosphorus (P). In connection with this, the bonding strength between the silicon grain which carried out mutual contiguity becomes weak.

[0006] Drawing 2 is a cross section for explaining the phase which forms polysilicon contest layer 9a by which etchback was carried out. If it explains concretely, the aforementioned doped polysilicon layer 9 will be completely etched at a dry-type chemical engraving process, and doped polysilicon layer 9a which has the thickness from 500Å to 1,000Å on the aforementioned layer insulation layer pattern 7 and by which etchback was carried out will be formed. Here, the reactant ion chemical engraving (RIE) process with the aforementioned complete chemical engraving process excellent in a chemical engraving uniformity coefficient or a magnetic increase type reactivity ion chemical engraving (MERIE) process is used widely. At this time, the speed which etches a grain border area is still quick than the speed which the bonding strength between the grain of the aforementioned doped polysilicon layer 9 is weak, and etches grain. In connection with this, the phenomenon in which a part of polysilicon contest layer 9a by which etchback was carried out exfoliates occurs, and predetermined field A of the layer insulation layer pattern 7 is exposed.

[0007] Drawing 3 is a cross section for explaining the phase which forms the metal silicide layer 11. When explaining in detail, as a result of forming polysilicon contest layer 9a by which etchback was carried out [aforementioned], the metal silicide layer 11, for example, a tungsten silicide layer, is formed all over an object. At this time, the vacuum evaporations of the metal silicide layer 11 is not carried out on predetermined field A of the layer insulation layer pattern 7 by which denudation was carried out [aforementioned]. This is because the adhesive power of the metal silicide layer 11 and the layer insulation layer pattern 7 is weak. Then, the local wiring which carries out patterning of the aforementioned metal silicide layer 11 and the polysilicon contest layer 9a by which etchback was carried out [aforementioned] continuously, and consisted of the polysilicon contest layer pattern and metal silicide layer pattern by which etchback was carried out, i.e., the bit line, is formed.

[0008] As mentioned above, according to the manufacture technique of the conventional semiconductor device, the phenomenon

(lifting away) in which a part of doped polysilicon layer exfoliates at the time of the complete chemical engraving process for forming the polysilicon contest layer by which etchback was carried out occurs, and the predetermined field of a layer insulation layer pattern is exposed. As a result of forming the polysilicon contest layer by which etchback was carried out in connection with this, when forming a metal silicide layer all over an object, a metal silicide layer is not formed on the layer insulation layer pattern by which denudation was carried out [aforementioned]. Since the bit line will go out if the bit line which passes through the predetermined field of the layer insulation layer pattern by which denudation was carried out [aforementioned] as a result is formed, the malfunctioning of a semiconductor device occurs.

[0009]

[Object of the Invention] In case the purpose of this invention etches a doped polysilicon layer completely, it is to offer the manufacture technique of the semiconductor device which can prevent the phenomenon in which a part of doped polysilicon layer exfoliates.

[0010]

[The means for solving a technical problem] In order to attain the aforementioned purpose, this invention forms a layer insulation layer on a semiconductor substrate, and forms a doped polysilicon layer on the aforementioned layer insulation layer. Here, a layer insulation layer can be formed by BPSG layer or the undoping ***** oxide film (USG) containing an impurity. And the aforementioned layer insulation layer also has the case of the layer insulation layer pattern with the contact hole in which the active region of a lower electric conduction layer, for example, the semiconductor substrate doped with the impurity, is exposed.

[0011] As the aforementioned doped polysilicon layer, an in situ doped polysilicon layer is used widely, and, as for the dopant gas for forming an in situ doped polysilicon layer, phosphine (PH₃) gas is used widely. At this time, the phosphorus (P) atom by which the segregation was carried out is located between the grain of the aforementioned doped polysilicon layer. Next, the polysilicon contest layer which etches the aforementioned doped polysilicon layer completely and has predetermined thickness on a layer insulation layer and by which etchback was carried out is formed. Here, the magnetic increase type reactivity ion chemical engraving process with an excellent chemical engraving uniformity coefficient or a reactant ion chemical engraving process is widely used for the process which etches a doped polysilicon layer completely.

[0012] The degree which carried out loading of the object into the reaction chamber as a result of forming a doped polysilicon layer, when explaining the complete chemical engraving process a little more concretely is made to pour in further the gas containing the gas which contains carbon together with chemical engraving gas like SF₆ gas and chlorine (Cl₂) gas, and oxygen into the aforementioned reaction chamber. As for the gas containing carbon, any one is desirable at least among a group made by carbon gas, CF₄ gas, CHF₃ gas, and C₂F₆ gas, and the gas containing oxygen has desirable gas with which oxygen gas or oxygen gas, and gaseous helium were mixed. If the gas containing carbon is poured in when etching a doped polysilicon layer completely, carbon permeates the grain border area of a doped polysilicon layer, and can increase the bonding strength between grain.

[0013] Therefore, since the phenomenon of etching the grain border area of a doped polysilicon layer quickly can be prevented, the polysilicon contest layer with uniform thickness by which etchback was carried out can be formed. As a result, when etching a doped polysilicon layer completely, the phenomenon in which the predetermined field of a layer insulation layer is exposed can be prevented. However, a superfluous carbon atom exists in the front face of the polysilicon contest layer by which etchback was carried out. Such a superfluous carbon atom is removed from the front face of the polysilicon contest layer by which etchback was carried out by reacting with the oxygen in the gas containing the aforementioned oxygen, and generating a carbon dioxide. Then, a metal silicide layer, for example, a tungsten silicide layer, is formed on the polysilicon contest layer by which etchback was carried out [aforementioned]. And patterning of the aforementioned tungsten silicide layer and the polysilicon contest layer by which etchback was carried out is carried out continuously, and a wiring is formed.

[0014] According to this invention mentioned above, the polysilicon contest layer which has uniform thickness all over a layer insulation layer and by which etchback was carried out can be formed by etching completely using the gas containing the gas which contains carbon gas for a doped polysilicon layer, and oxygen gas. Since the phenomenon in which a part of doped polysilicon layer exfoliates at the time of a complete chemical engraving process can be made to suppress as a result, the phenomenon in which the predetermined field of a layer insulation layer is exposed can be prevented. When forming the wiring which consists of a doped polysilicon layer in connection with this, it can prevent that the wiring with an abnormal pattern is formed.

[0015]

[Gestalt of implementation of invention] Hereafter, with reference to the appended drawing, DRAM element is made into an example and the gestalt of desirable enforcement of this invention is explained in detail. However, this invention is not limited to DRAM element and can be applied to the manufacture of all semiconductor devices with the wiring which consists of a doped polysilicon layer.

[0016] Drawing 4 (A) is a cross section for explaining the phase which forms the layer insulation layer pattern 27 and the doped polysilicon layer 29 with a contact hole. First, it forms in the predetermined field of the semiconductor substrate 21 by the isolation layer 23, for example, the field oxide film by the LOCOS technique. The aforementioned isolation layer 23 is also forming by the trench isolation technique. Next, a gate insulator layer is formed on the active region between the aforementioned isolation layers 23, and two or more gate electrodes 25 which pass through the predetermined field of a gate insulator layer are formed. The aforementioned gate electrode 25 carries out the role of the WORD line of DRAM cell. Then, as a result of forming the aforementioned gate electrode 25, a layer insulation layer, for example, BPSG layer, or a ***** oxide film (USG) is formed all over an object.

[0017] Then, the layer insulation layer pattern 27 with the contact hole in which the active region between the gate electrodes 25 which carried out patterning of the aforementioned layer insulation layer, and carried out mutual contiguity is exposed, for example, a bit-line contact hole, is formed. Here, the active region exposed by the aforementioned contact hole corresponds to the field doped by impurities, i.e., the source / drain field of an access transistor. As a result of forming the aforementioned layer insulation layer pattern 27, the doped polysilicon layer 29 is formed all over an object. a contact hole should embed the

[0019] Therefore, the thickness of polysilicon contest layer 29a by which etchback was carried out [aforementioned] can also be formed more thinly than 500A. As for the aforementioned doped polysilicon layer 29, it is desirable to etch completely at the chemical engraving process which shows an excellent chemical engraving uniformity coefficient, for example, a magnetic increase type reactivity ion chemical engraving process, and a reactant ion chemical engraving process. When giving the above mentioned magnetic increase type reactivity ion chemical engraving process or the above mentioned reactant ion chemical engraving process at this time, the gas containing the gas which contains carbon in addition to chemical engraving gas, such as SF₆ gas and chlorine (Cl₂) gas, and oxygen is supplied further. The gas containing the aforementioned carbon has the desirable thing which was chosen from carbon gas, CF₄ gas, CHF₃ gas, and C₂F₆ gas and which is any one at least. Moreover, the gas containing the aforementioned oxygen has desirable gas with which oxygen gas, or gaseous helium and oxygen gas were mixed. As for the gas with which the aforementioned gaseous helium and oxygen gas were mixed, it is desirable that gaseous helium and oxygen gas were respectively mixed by the volume ratio of 7:3.

[0021] Drawing 6 is a cross section for explaining the phase which forms the metal silicide layer 31 and the layer insulation layer 33 by which the flattening was carried out. If it explains in detail, a specific resistance will form the low metal silicide layer 31, for example, a tungsten silicide layer, all over polysilicon contest layer 29a by which etchback was carried out [aforementioned]. Then, the wiring which carries out patterning of the aforementioned metal silicide layer 31 and the polysilicon contest layer 29a by which etchback was carried out [aforementioned] continuously, consists of a doped polysilicon layer pattern and a metal silicide layer pattern, and passes through the aforementioned contact hole is formed. As a result of forming the aforementioned wiring, BPSG layer by which the flow was carried out at the elevated temperature of the layer insulation layer 33 by which the flattening was carried out by usual technique, for example, 800 degrees C, and about 900 degrees C is formed in the whole object surface.

[0023]

[Effect of the invention] As mentioned above, when etching a doped polysilicon layer completely according to this invention, the polysilicon contest layer which has uniform thickness on a layer insulation layer pattern and by which etchback was carried out can be formed by supplying further the gas containing the gas containing carbon, and oxygen. When forming the polysilicon contest layer by which etchback was carried out as a result, the phenomenon in which the predetermined field of a layer insulation layer pattern is exposed can be prevented. Since the metal silicide layer which has uniform thickness on the polysilicon contest layer by which etchback was carried out can be formed in connection with this, the reliability **** wiring with which a break (cutted region) does not exist can be formed.

5/22/02 5:04 PM

* * *NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[An easy explanation of a drawing]

[Drawing 1] It is a cross section for explaining the manufacture technique of the semiconductor device accompanied by the conventional technique.

[Drawing 2] It is a cross section for explaining the manufacture technique of the semiconductor device accompanied by the conventional technique.

[Drawing 3] It is a cross section for explaining the manufacture technique of the semiconductor device accompanied by the conventional technique.

[Drawing 4] It is a cross section for explaining the manufacture technique of the semiconductor device accompanied by this invention, and (B) is the drawing in which the atomic arrangement of a doped polysilicon layer was shown.

[Drawing 5] It is a cross section for explaining the manufacture technique of the semiconductor device accompanied by this invention, and (B) is a drawing for explaining how forming the polysilicon contest layer by which etchback was carried out.

[Drawing 6] It is a cross section for explaining the manufacture technique of the semiconductor device accompanied by this invention.

[An explanation of a sign]

21: Semiconductor substrate

23: Isolation layer

25: Two or more gate electrodes

27: The layer insulation layer pattern with a contact hole

29: Doped polysilicon layer

[Translation done.]